

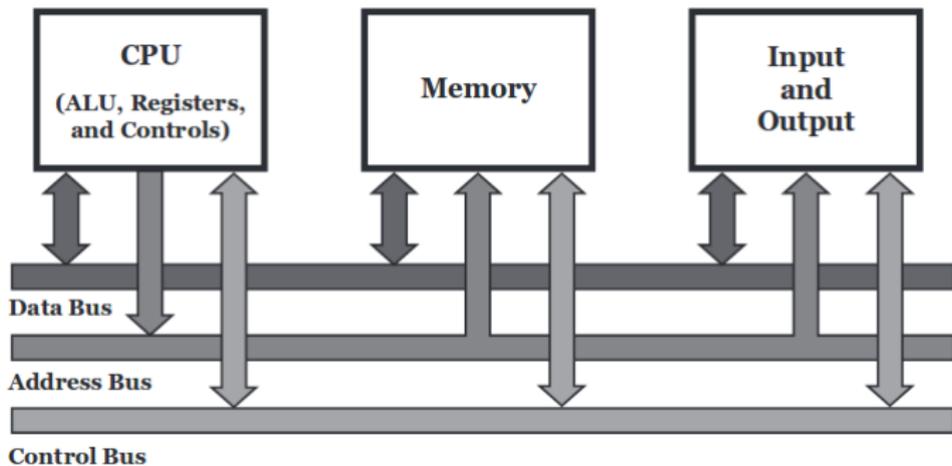
Arquitecturas Computacionales

Dispositivos de E/S

Facultad de Ingeniería / Escuela de Informática
Universidad Andrés Bello, Viña del Mar.

Son aquellos dispositivos que interactúan con la CPU.

- Entrada: teclado, mouse, joystick, webcam, escáner, micrófono.
- Salida: monitor, audífonos, impresora, proyector.
- Entrada/Salida: unidades de almacenamiento, módem, placa de red, USB.



controlador de disco conectado al bus E/S

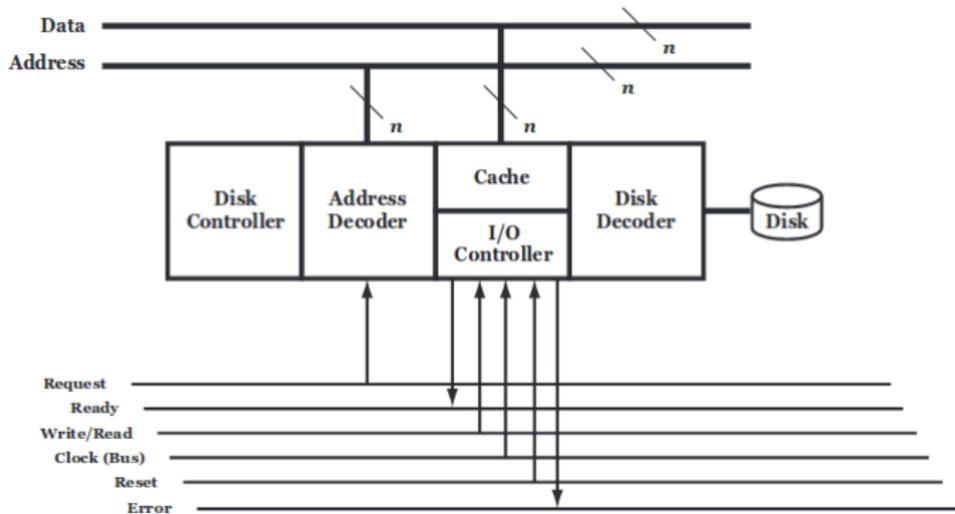
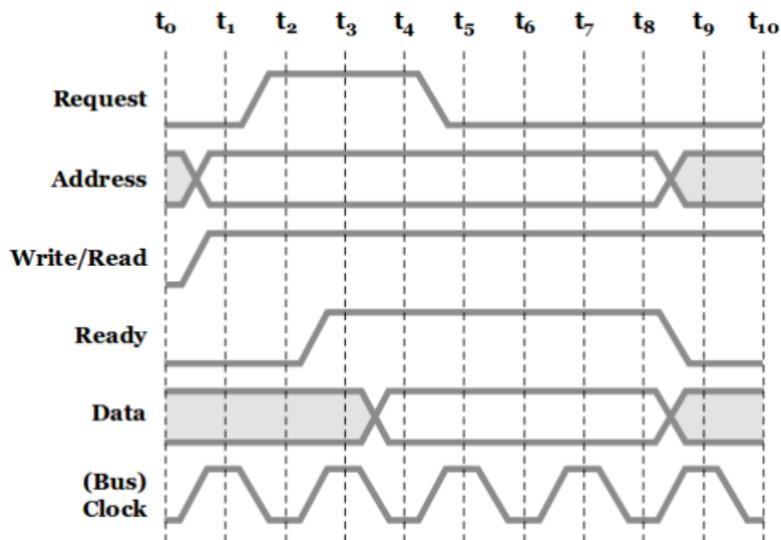


Diagrama de tiempos en un bus



- Usado en los primeros computadores o en algunos sistemas embebidos.
- La CPU sondea periódicamente al dispositivo para ver cual es su estado.
- Sencillo pero ineficiente.

- Es el dispositivo quien establece el momento en que se realizará la transferencia de datos.
- Cuando la CPU recibe notificación de la interrupción detiene el programa en ejecución, la atiende y finalmente devuelve el control al programa.

Los registros de los dispositivos son su medio de comunicación más común con el resto de los componentes del sistema.

Pueden ser:

- de lectura: su contenido no puede ser modificado desde afuera.
- de escritura: sólo se puede escribir en ellos.
- de lectura y escritura: se pueden leer y escribir.

Debido a los trabajos en avenida española, se ha informado que existe una enorme cantidad de personas tomando el metro, por lo que es necesario contar con un dispositivo que permita contar el número de personas ingresadas a cierta estación.

Para ello se cuenta con un computador con procesador MIPS, y un dispositivo E/S llamado **detector**, que cuenta con un registro de estado mapeado a la dirección 0_{xFFF0} , en el cual se refleja el paso de las personas. El registro inicialmente se encuentra en valor **0**, y cambia a **1** con el ingreso de una persona.

Escriba una rutina en assembler para satisfacer el sistema pedido, guardando el número de personas ingresadas en $\$t0$.

```
                                mov $t0, 0x0000
ciclo:                          cmp [0xFFF0], 0x0001
                                llegoPersona
                                jmp ciclo
llegoPersona:                   addi $t0, 0x0001
                                mov [0xFFF0], 0x0000
                                jmp ciclo
```

Considere un computador con procesador MIPS se encuentra conectado a 3 dispositivos de E/S que actúan como sensores. Cada sensor posee un registro de E/S que reporta información climática. Los sensores son:

- Temperatura: Mide temperatura en grados celsius (TEMP_STATUS)
- Presión atmosférica: Mide presión en HectoPascales (ATM_STATUS)
- Intensidad del viento: Mide intensidad en mts/seg (WIND_SPEED)

Las etiquetas MAX_TEMP, MAX_ATM, MAX_WIND_SPEED son constantes de 16 bits. Además, los sensores están mapeados a direcciones correlativas comenzando con el sensor de temperatura en 0xFFF0.

Ejercicio (continuación)

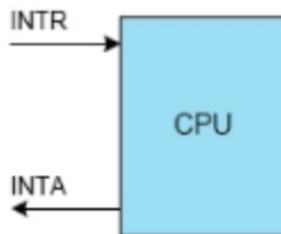
Mapee los registros de E/S a direcciones de E/S del computador descrito, completando el siguiente código.

```
sensor:                cmp [...], MAX_TEMP
                       jg alarma
                       cmp [0xFFF1], ...
                       jg alarma
                       cmp [...], ...
                       jg alarma
alarma:                call sonaralarma
                       jmp sensor
```

Suponiendo que el ciclo de instrucción de cada instrucción del programa tarda t segundos y los valores máximos nunca se alcanzan. cuál es la frecuencia de muestreo (lectura, en Hz) de los registros de E/S ?

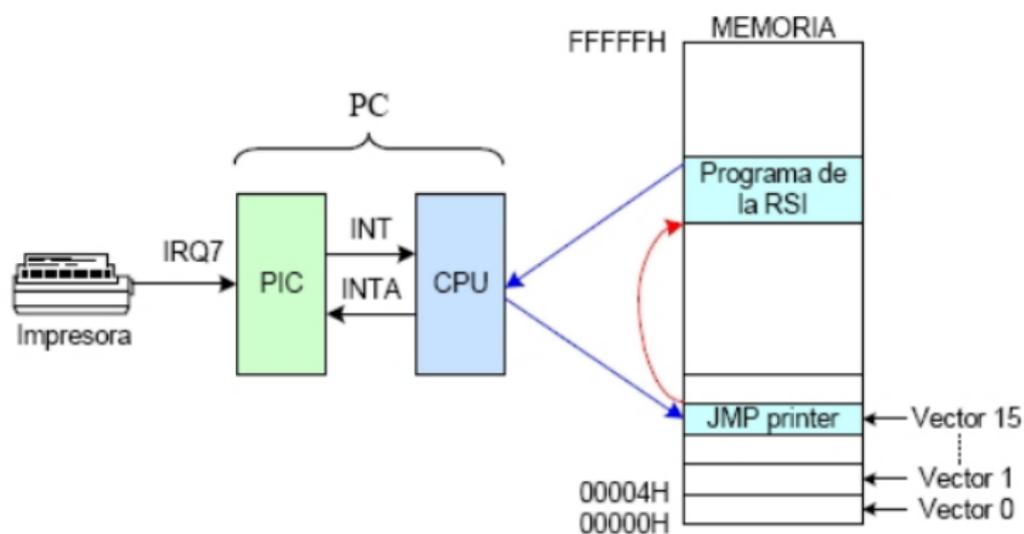
Controlador de interrupciones

- Es un módulo cuyo objetivo es gestionar la entrada/salida para el procesador

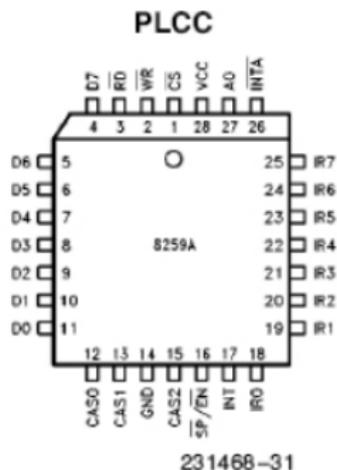
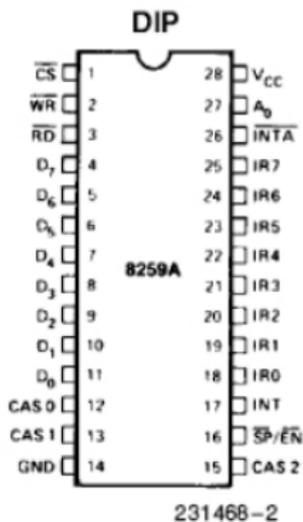


- El controlador recibe un conjunto de señales de los distintos dispositivos, toma la decisión de cual es la más prioritaria y envía una señal al procesador.

Controlador de interrupciones



Controlador de interrupciones: Intel 8259

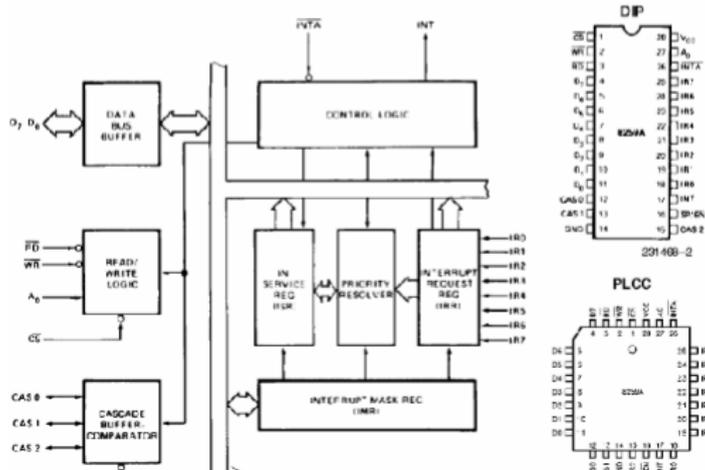


Controlador de interrupciones: Intel 8259

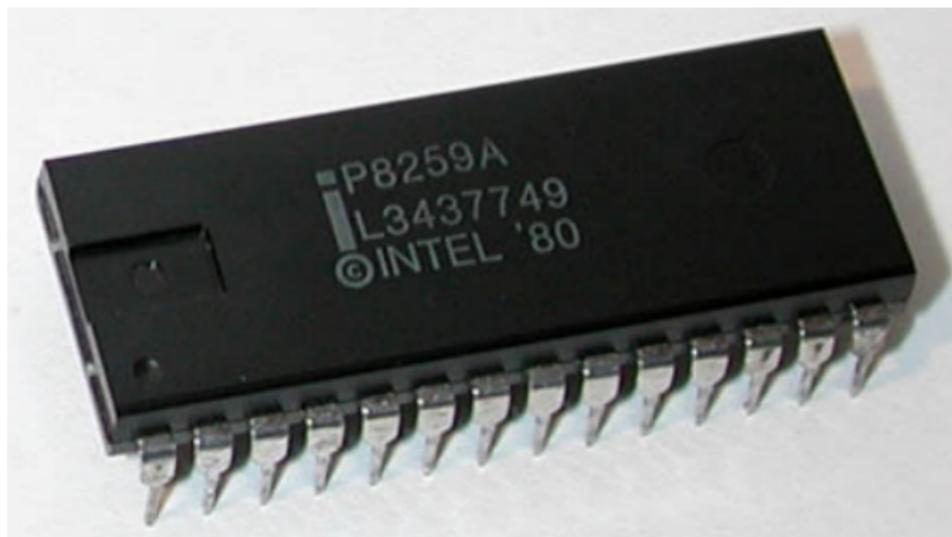


8259A PROGRAMMABLE INTERRUPT CONTROLLER (8259A/8259A-2)

- 8086, 8088 Compatible
- MCS-80, MCS-85 Compatible
- Eight-Level Priority Controller
- Expandable to 64 Levels
- Programmable Interrupt Modes
- Individual Request Mask Capability
- Single +5V Supply (No Clocks)
- Available in 28-Pin DIP and 28-Lead PLCC Package
(See Packaging Spec., Order #231368)
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range



Controlador de interrupciones: Intel 8259

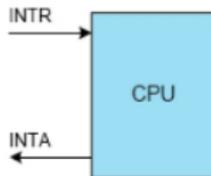


Algunos registros del controlador:

- IRR (Interrupt Request Register): Cuando se activan una o varias de las entradas IR, estas quedan reflejadas en los bits correspondientes del IRR.
- ISR (Interrupt Service Register): De aquellos bits activados en el IRR, el más prioritario queda reflejado en el ISR.
- IMR (Interrupt Mask Register): El programador puede enmascarar algunas interrupciones de manera que si se activase la correspondiente IR, el controlador la ignora.

Reconocimiento de interrupción

- Tras la activación de una línea IR , el controlador activa la salida $INTR$, indicando a la CPU la existencia de una interrupción activada.
- Al recibir la señal, el procesador da un pulso en su salida $INTA$ indicando que comienza un *ciclo de reconocimiento de interrupción*.



- El controlador al recibir el pulso por su entrada `INTA` comienza a arbitrar las interrupciones recibidas y selecciona la más prioritaria.
- El controlador indica en el `ISR` cual de los dispositivos debe ser atendido (la interrupción de mayor prioridad).
- El procesador obtiene la dirección de la rutina de interrupción a partir de ese dato y salta a esta. Se almacena el registro de flags y el PC (program counter).